

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-164736

(43)Date of publication of application : 16.06.2000

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

G11C 16/04

H01L 21/265

H01L 27/115

(21)Application number : 10-340387

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.11.1998

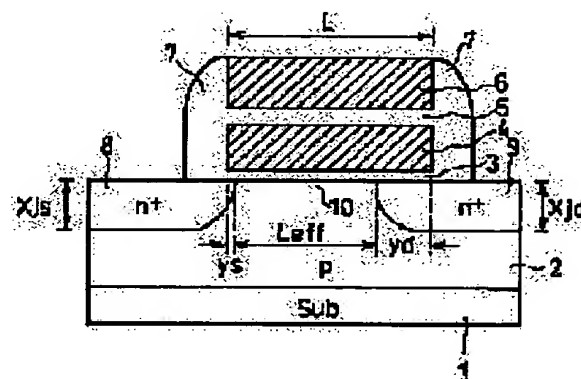
(72)Inventor : MORI SEIICHI

(54) NONVOLATILE SEMICONDUCTOR MEMORY CELL AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a nonvolatile semiconductor memory cell having a memory cell structure, wherein while a necessary effective channel length is ensured, a gate length is made as short as possible.

SOLUTION: This nonvolatile semiconductor memory cell is a nonvolatile semiconductor memory cell, which has source and drain regions 8 and 9 formed on a silicon substrate 1 separately from each other, a floating gate 4 formed on a channel region 10 between these regions 8 and 9 via a tunnel oxide film 3, and moreover a control gate 6 formed on the gate 4 via an interlayer insulating film 5 and has a writing operation, which produces hot electrons in the vicinity of the region 9 and injects the hot electrons into the gate 4. The region 9 is formed by ion implantation aligned with the gate 6 and the region 8 is formed by ion implantation aligned with the gate 6 and sidewall insulating films 7. An overlap (y) of the region 9 with the gate 4 is set larger than an overlap (y_s) of the region 8 with the gate 4.



LEGAL STATUS

[Date of request for examination]

15.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-164736

(P2000-164736A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl.	識別記号	F I	キーワード (参考)
H 0 1 L	21/8247	H 0 1 L 29/78	3 7 1 5 B 0 2 5
	29/788	G 1 1 C 17/00	6 2 2 A 5 F 0 0 1
	29/792	H 0 1 L 21/265	Z 5 F 0 8 3
G 1 1 C	16/04	27/10	4 3 4
H 0 1 L	21/265		

審査請求 未請求 請求項の数11 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平10-340387

(22) 出願日 平成10年11月30日 (1998. 11. 30)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 森 誠一

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100092820

弁理士 伊丹 勝

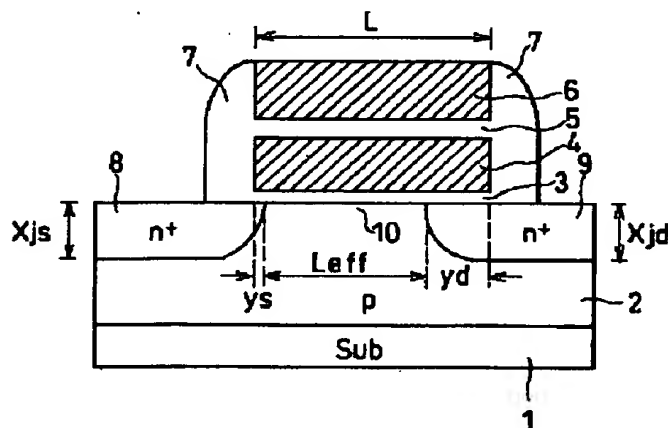
最終頁に続く

(54) 【発明の名称】 不揮発性半導体メモリ及びその製造方法

(57) 【要約】

【課題】 必要な実効チャネル長を確保しながら、ゲート長を可能な限り小さくすることを可能としたメモリセル構造を持つ不揮発性半導体メモリを提供する。

【解決手段】 シリコン基板1に、互いに離隔して形成されたソース領域8及びドレイン領域9と、これらの間のチャネル領域10上にトンネル酸化膜3を介して形成された浮遊ゲート4、更に層間絶縁膜5を介して形成された制御ゲート6を有し、ドレイン領域9の近傍でホットエレクトロンを生成して浮遊ゲート4に注入する書き込み動作を有する不揮発性半導体メモリセルであり、ドレイン領域9は、制御ゲート6に整合されたイオン注入により形成され、ソース領域8は、制御ゲート6と側壁絶縁膜7に整合されたイオン注入により形成される。ドレイン領域9と浮遊ゲート4の重なり y_d は、ソース領域8と浮遊ゲート4の重なり y_s より大きく設定される。



【特許請求の範囲】

【請求項 1】 半導体基板と、この半導体基板に互いに離隔して形成されたソース及びドレイン領域と、これらソース及びドレイン領域の間のチャネル領域上に形成された電荷蓄積部及び制御ゲートとを備え、前記ドレイン領域近傍でホットエレクトロンを生成して前記電荷蓄積部に注入する書き込み動作を有する不揮発性半導体メモリにおいて、

少なくとも前記ソース領域は、前記制御ゲートの側面に設けられた側壁に自己整合された不純物導入により形成され、且つ前記ドレイン領域と前記電荷蓄積部の重なりが、前記ソース領域と前記電荷蓄積部の重なり以上に設定されていることを特徴とする不揮発性半導体メモリ。

【請求項 2】 前記電荷蓄積部は前記チャネル領域と前記制御ゲートの間に絶縁膜を介して形成された浮遊ゲートであり、消去動作はその浮遊ゲートに保持された電子を前記チャネル領域に放出させることにより行われることを特徴とする請求項 1 記載の不揮発性半導体メモリ。

【請求項 3】 前記電荷蓄積部は、前記チャネル領域と前記制御ゲートとの間に形成された絶縁膜内部のトラップ準位であり、消去動作はそのトラップ準位に保持された電子を前記ドレイン領域近傍で生成されたホールの注入により中和することにより行われることを特徴とする請求項 1 記載の不揮発性半導体メモリ。

【請求項 4】 前記ソース領域の不純物ドーザ量が前記ドレイン領域のそれより大きいことを特徴とする請求項 1 記載の不揮発性半導体メモリ。

【請求項 5】 前記ソース領域の接合深さが前記ドレイン領域のそれより深いことを特徴とする請求項 1 記載の不揮発性半導体メモリ。

【請求項 6】 半導体基板上に電荷蓄積部を介して制御ゲートを形成する工程と、
前記半導体基板の前記制御ゲートの一方のエッジの外側にそのエッジに整合された不純物導入を行ってドレイン領域を形成する工程と、
前記制御ゲートの側面に側壁絶縁膜を形成する工程と、
前記半導体基板の前記側壁絶縁膜の外側にその側壁絶縁膜に整合された不純物導入を行ってソース領域を形成する工程と、を有することを特徴とする不揮発性半導体メモリの製造方法。

【請求項 7】 半導体基板に、トンネル絶縁膜を介して浮遊ゲート材料膜を堆積する工程と、
前記浮遊ゲート材料膜上に層間絶縁膜を介して制御ゲート材料膜を堆積する工程と、
前記制御ゲート材料膜及び浮遊ゲート材料膜を順次パターンニングして制御ゲート及び浮遊ゲートを形成する工程と、
前記半導体基板の前記制御ゲートの一方のエッジの外側にそのエッジに整合された不純物導入を行ってドレイン領域を形成する工程と、

前記制御ゲート及び前記浮遊ゲートの側面に側壁絶縁膜を形成する工程と、

前記半導体基板の前記側壁絶縁膜の外側にその側壁絶縁膜に整合された不純物導入を行ってソース領域を形成する工程と、を有することを特徴とする不揮発性半導体メモリの製造方法。

【請求項 8】 半導体基板上に電荷蓄積部を介して制御ゲートを形成する工程と、

前記制御ゲートの側面に第 1 の側壁絶縁膜を形成する工程と、

前記半導体基板の前記第 1 の側壁絶縁膜の外側にその第 1 の側壁絶縁膜に自己整合された不純物導入を行ってドレイン領域を形成する工程と、

前記第 1 の側壁絶縁膜の側面に第 2 の側壁絶縁膜を形成する工程と、

前記半導体基板の前記第 2 の側壁絶縁膜の外側にその第 2 の側壁絶縁膜に自己整合された不純物導入を行ってソース領域を形成する工程と、を有することを特徴とする不揮発性半導体メモリの製造方法。

【請求項 9】 半導体基板に、トンネル絶縁膜を介して浮遊ゲート材料膜を堆積する工程と、

前記浮遊ゲート材料膜上に層間絶縁膜を介して制御ゲート材料膜を堆積する工程と、

前記制御ゲート材料膜及び浮遊ゲート材料膜を順次パターンニングして制御ゲート及び浮遊ゲートを形成する工程と、

前記制御ゲート及び前記浮遊ゲートの側面に第 1 の側壁絶縁膜を形成する工程と、

前記半導体基板の前記第 1 の側壁絶縁膜の外側にその第 1 の側壁絶縁膜に自己整合された不純物導入を行ってドレイン領域を形成する工程と、

前記第 1 の側壁絶縁膜の側面に第 2 の側壁絶縁膜を形成する工程と、

前記半導体基板の前記第 2 の側壁絶縁膜の外側にその第 2 の側壁絶縁膜に自己整合された不純物導入を行ってソース領域を形成する工程と、を有することを特徴とする不揮発性半導体メモリの製造方法。

【請求項 10】 前記ソース領域の不純物ドーザ量を前記ドレイン領域のそれより大きく設定することを特徴とする請求項 6 乃至 9 のいずれかに記載の不揮発性半導体メモリの製造方法。

【請求項 11】 前記ソース領域の不純物導入を前記ドレイン領域のそれより深く設定することを特徴とする請求項 6 乃至 9 のいずれかに記載の不揮発性半導体メモリの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電氣的書き換え可能な不揮発性半導体メモリに係り、特にホットエレクトロン注入による書き込みが行われる NOR 型等のフラ

ッシュ EEPROM に有用なメモリセル構造とその製造方法に関する。

【0002】

【従来の技術】 EEPROM のメモリセルには通常、半導体基板に絶縁膜を介して浮遊ゲートと制御ゲートを積層した FETMOS 構造が用いられる。各種 EEPROM のうち、NOR 型フラッシュメモリセルでは通常、ホットエレクトロン注入が利用される。即ち、書き込みモードでは、メモリセルが順バイアスされて大きなチャネル電流が流れる状態に設定される。これによりドレイン近傍のピンチオフ領域でホットエレクトロンが生成され、これが浮遊ゲートに注入される。消去動作は例えば、浮遊ゲートに蓄積された電子を Fowler-Nordheim トンネル電流機構によりソース側に放出させることにより行われる。

【0003】 この様なホットエレクトロン注入型のメモリセルでは、書き込みや消去特性の最適化のために、ソース及びドレイン領域について、拡散距離や不純物濃度、浮遊ゲートとの重なり（オーバーラップ）等を最適設定することが必要である。例えば、浮遊ゲートに蓄積された電子をソース側に放出させるという消去動作を行うメモリセルの場合であれば、ソース領域については、浮遊ゲートとの間で大きな重なりが必要となる。また、書き込み時には大きなチャネル電流が流れるため、ソース抵抗が十分に低いことが必要であり、このためにソース領域はドレイン領域より深く且つ高濃度であることが望まれる。また、書き込み動作の繰り返しにより、ドレイン近傍のゲート絶縁膜に電子がトラップされると、ドレイン側にオフセットが生じ、メモリセルの書き込み効率の低下や駆動力の低下を引き起こす。これを防止するためには、ドレイン領域についても、ソース領域ほどではないが、浮遊ゲートとの重なりを必要とする。

【0004】 一方、ホットエレクトロン注入型の不揮発性メモリセルについて、ドレイン領域の浮遊ゲートとの重なりを大きくする構造も提案されている（例えば、特開平 5-343701 号公報、特開平 6-252414 号公報参照）。

【0005】 また、ホットエレクトロン注入方式ではなく、ドレイン領域と浮遊ゲートの間でのトンネル電流による電子注入及び電子放出を行う不揮発性メモリもある。この種のメモリセルの場合には、ドレイン領域の浮遊ゲートとの重なりを、ソース側に電子を放出させる場合のソース領域並に大きくした非対称構造とすることが有効である（例えば、特開平 5-36990 号公報参照）。また、順バイアス状態でのチャネル電流により生成されるホットエレクトロンを利用する方式ではないが、アバランシェにより生成されるホットエレクトロンを利用するメモリセルについて、同様にドレイン領域の浮遊ゲートとの重なりを大きくする提案もある（特開平 5-55599 号公報参照）。

【0006】

【発明が解決しようとする課題】 以上のように、ホットエレクトロン注入に代表されるドレイン領域側からの電子注入を利用する従来の不揮発性メモリセルでは、ソース、ドレイン領域にそれぞれ浮遊ゲートとの重なりが必要である。また、種々の観点から、浮遊ゲートとソース及びドレイン領域との関係を非対称構造とすることも提案されている。しかし、近年の半導体の微細化技術の進歩は著しく、この微細化技術を用いて高集積化 EEPROM を実現しようとする、ソース、ドレイン領域と浮遊ゲートの重なりを大きくとった場合に、実効チャネル長を確保できなくなる事態が生じる。また実効チャネル長 L_{eff} をある程度維持しようとする、ソース、ドレイン領域と浮遊ゲートとの重なり分だけゲート長 L が長くなり、メモリセルサイズを縮小することが難しくなる。

【0007】 この発明は、必要な実効チャネル長を確保しながら、ゲート長を可能な限り小さくすることを可能としたメモリセル構造を持つ不揮発性半導体メモリとその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】 この発明は、半導体基板と、この半導体基板に互いに離隔して形成されたソース及びドレイン領域と、これらソース及びドレイン領域の間のチャネル領域上に形成された電荷蓄積部及び制御ゲートとを備え、前記ドレイン領域近傍でホットエレクトロンを生成して前記電荷蓄積部に注入する書き込み動作を有する不揮発性半導体メモリにおいて、少なくとも前記ソース領域は、前記制御ゲートの側面に設けられた側壁に自己整合された不純物導入により形成され、且つ前記ドレイン領域と前記電荷蓄積部の重なりが、前記ソース領域と前記電荷蓄積部の重なり以上に設定されていることを特徴とする。

【0009】 この発明において、前記電荷蓄積部は例えば、前記チャネル領域と前記制御ゲートとの間に絶縁膜を介して形成された浮遊ゲートであり、消去動作はその浮遊ゲートに保持された電子を前記チャネル領域に放出させることにより行われる。この発明において、前記電荷蓄積部は例えば、前記チャネル領域と前記制御ゲートとの間に形成された絶縁膜のトラップ準位であり、消去動作はそのトラップ準位に保持された電子を前記ドレイン領域近傍で生成されたホールの注入により中和することにより行われる。この発明において好ましくは、ソース領域の不純物ドーザ量がドレイン領域のそれより大きいものとする。またこの発明において好ましくは、ソース領域の接合深さがドレイン領域のそれより深いものとする。

【0010】 この発明に係る不揮発性半導体メモリの製造方法は、半導体基板上に電荷蓄積部を介して制御ゲートを形成する工程と、前記半導体基板の前記制御ゲート

の一方のエッジの外側にそのエッジに整合された不純物導入を行ってドレイン領域を形成する工程と、前記制御ゲートの側面に側壁絶縁膜を形成する工程と、前記半導体基板の前記側壁絶縁膜の外側にその側壁絶縁膜に整合された不純物導入を行ってソース領域を形成する工程とを有することを特徴とする。

【0011】この発明に係る不揮発性半導体メモリの製造方法はまた、半導体基板に、トンネル絶縁膜を介して浮遊ゲート材料膜を堆積する工程と、前記浮遊ゲート材料膜上に層間絶縁膜を介して制御ゲート材料膜を堆積する工程と、前記制御ゲート材料膜及び浮遊ゲート材料膜を順次パターニングして制御ゲート及び浮遊ゲートを形成する工程と、前記半導体基板の前記制御ゲートの一方のエッジの外側にそのエッジに整合された不純物導入を行ってドレイン領域を形成する工程と、前記制御ゲート及び前記浮遊ゲートの側面に側壁絶縁膜を形成する工程と、前記半導体基板の前記側壁絶縁膜の外側にその側壁絶縁膜に整合された不純物導入を行ってソース領域を形成する工程とを有することを特徴とする。

【0012】この発明に係る不揮発性半導体メモリの製造方法はまた、半導体基板上に電荷蓄積部を介して制御ゲートを形成する工程と、前記制御ゲートの側面に第1の側壁絶縁膜を形成する工程と、前記半導体基板の前記第1の側壁絶縁膜の外側にその第1の側壁絶縁膜に自己整合された不純物導入を行ってドレイン領域を形成する工程と、前記第1の側壁絶縁膜の側面に第2の側壁絶縁膜を形成する工程と、前記半導体基板の前記第2の側壁絶縁膜の外側にその第2の側壁絶縁膜に自己整合された不純物導入を行ってソース領域を形成する工程と、を有することを特徴とする。

【0013】この発明に係る不揮発性半導体メモリの製造方法は更に、半導体基板に、トンネル絶縁膜を介して浮遊ゲート材料膜を堆積する工程と、前記浮遊ゲート材料膜上に層間絶縁膜を介して制御ゲート材料膜を堆積する工程と、前記制御ゲート材料膜及び浮遊ゲート材料膜を順次パターニングして制御ゲート及び浮遊ゲートを形成する工程と、前記制御ゲート及び前記浮遊ゲートの側面に第1の側壁絶縁膜を形成する工程と、前記半導体基板の前記第1の側壁絶縁膜の外側にその第1の側壁絶縁膜に自己整合された不純物導入を行ってドレイン領域を形成する工程と、前記第1の側壁絶縁膜の側面に第2の側壁絶縁膜を形成する工程と、前記半導体基板の前記第2の側壁絶縁膜の外側にその第2の側壁絶縁膜に自己整合された不純物導入を行ってソース領域を形成する工程と、を有することを特徴とする。

【0014】この発明の方法において好ましくは、ソース領域の不純物ドーズ量をドレイン領域のそれより大きく設定する。またこの発明の方法において好ましくは、ソース領域の不純物導入をドレイン領域のそれより深く設定する。

【0015】この発明によるメモリセルでは、ソース領域のチャンネル領域側端部が制御ゲートの側壁絶縁膜により規定され、ドレイン領域のチャンネル領域側端部が制御ゲートのエッジ、或いは制御ゲート側面の薄い側壁絶縁膜の外側により規定される。従って、ソース領域と電荷蓄積層（代表的には、浮遊ゲート）との重なりは、オフセットが生じない必要最小限のものとし、ドレイン領域の浮遊ゲートとの重なりをそれより大きくした非対称メモリセル構造が得られる。これにより、必要な実効チャンネル長を確保しながら、ゲート長を小さくすることができ。

【0016】ここで、ソース領域と浮遊ゲートの重なりを小さくすると、ソース領域に電子放出させる従来の消去動作では、消去効率が悪くなる。しかしこれについては、浮遊ゲートの電子をチャンネル領域全面に放出させる消去動作を利用すれば、問題ない。また、大きなチャンネル電流を流す書き込み動作では、ソース領域の抵抗が十分低いことが注入効率にとって重要である。従ってこの発明では好ましくはソース領域の不純物ドーズ量をドレイン領域のそれより大きくし、またソース領域の接合深さをドレイン領域のそれより深くする。これにより、小さなソース抵抗を実現して、高い書き込み注入効率を得ることができる。

【0017】また、ホットエレクトロンが注入される電荷蓄積層が絶縁膜中のトラップ準位であるメモリセルの場合には、消去動作はそのトラップ準位に保持された電子をドレイン領域にトンネリングにより引き抜いてもよいし、より好ましくは、トラップ準位に保持された電子をドレイン領域近傍で生成されたホールとの注入により中和する、という動作にすればよい。

【0018】

【発明の実施の形態】以下、図面を参照して、この発明の実施例を説明する。図1は、この発明の実施の形態によるメモリセル構造を示す。シリコン基板1のメモリセル領域にはp型ウェル2が形成されている。このp型ウェル2にトンネル絶縁膜として熱酸化によるシリコン酸化膜3が形成され、この上に浮遊ゲート4が形成されている。浮遊ゲート4の上には更に層間絶縁膜5を介して制御ゲート6が形成されている。制御ゲート6と浮遊ゲート4は、ゲート長方向に関し同じサイズにパターン形成されている。

【0019】 n^+ 型のソース領域8とドレイン領域9は、別々のイオン注入工程により作られている。即ち、ドレイン領域9は、制御ゲート6の右側のエッジに自己整合されたイオン注入によって形成されている。浮遊ゲート4及び制御ゲート6の側面には側壁絶縁膜7が形成され、ソース領域8は、この側壁絶縁膜7の左側の側面に自己整合されたイオン注入により形成されている。

【0020】ソース、ドレイン領域8、9は、イオン注入後の熱処理による不純物再拡散により、浮遊ゲート4

との重なりが生じているが、側壁絶縁膜7の有無に応じて非対称構造となっている。即ち、ソース領域8のチャネル領域10側の端部は、側壁絶縁膜7のエッジによって決定され、浮遊ゲート4との重なりは y_s となる。ドレイン領域9のチャネル領域10側の端部は、制御ゲート6のエッジによって決定され、浮遊ゲート4との重なりは $y_d (> y_s)$ となる。図に示したように、ゲート長を L として、実効チャネル長 L_{eff} は、 $L_{eff} = L - (y_s + y_d)$ である。ソース領域8側の重なり y_d は、オフセットが生じない範囲で最小限の値に設定されている。ソース領域8とドレイン領域9とは不純物ドーズ量も異なる。即ち、ソース領域8のドーズ量がドレイン領域9のそれより大きく設定される。この結果、ソース領域8の拡散深さ(接合深さ) x_{js} は、ドレイン領域9の拡散深さ(接合深さ) x_{jd} に対して、 $x_{js} > x_{jd}$ なる関係になる。

【0021】この実施の形態のメモリセルの製造工程を、図2A~図2Fを参照して説明する。図2Aに示すように、p型ウェル2が形成された基板1に、熱酸化によりトンネル酸化膜3を形成する。このトンネル酸化膜3の上に、浮遊ゲート材料膜である第1層多結晶シリコン膜40、層間絶縁膜5及び制御ゲート材料膜である第2層多結晶シリコン膜60を順次堆積する。

【0022】次いで、周知のリソグラフィ工程とRIE工程により、多結晶シリコン膜60、層間絶縁膜5、多結晶シリコン膜40を順次エッチングして、図2Bに示すように、同じ幅で制御ゲート6と浮遊ゲート4をパターン形成する。但し、制御ゲート6をワード線として複数のメモリセルに対して連続的に配設する場合には、図に直交する方向について、制御ゲート材料膜60の堆積前に、浮遊ゲート材料膜40を予め分離しておく。

【0023】その後、後酸化を行って、制御ゲート6、浮遊ゲート4の露出面及び基板1の表面に酸化膜13を形成した後、リソグラフィ工程により、図2Cに示すようにソース領域側を覆うレジストパターン11を形成する。そして、砒素をイオン注入して、制御ゲート6に自己整合された n^+ 型ドレイン領域9を形成する。但し、この段階でドレイン領域9の不純物は未だ活性化されていない。砒素のドーズ量は例えば、 $2E15/cm^2$ とする。

【0024】続いて、LP-CVD法により70nm程度の例えばシリコン酸化膜を堆積し、これをRIEによりエッチバックして、図2Dに示すように、浮遊ゲート4及び制御ゲート6の側面に厚み70nmの側壁絶縁膜7を形成する。

【0025】次に、再度リソグラフィ工程を行って、図2Eに示すように、ドレイン領域9側を覆うレジストパターン12を形成する。そして、砒素をイオン注入して、側壁絶縁膜7に自己整合された n^+ 型ソース領域8を形成する。このとき、砒素のドーズ量は例えば、 $5E$

$15/cm^2$ とする。

【0026】最後に、ソース及びドレイン領域8、9の不純物の再拡散と活性化の熱処理を行う。これにより、図2Fに示すように、ソース領域8は、浮遊ゲート4に僅かに重なり、これに比べてドレイン領域9は、側壁絶縁膜7の膜厚分大きく浮遊ゲート4に重なった状態となる。

【0027】具体的に、砒素の横方向拡散長が約80nmとなる熱拡散工程を行ったとして、ドレイン領域9と浮遊ゲート4の重なり y_d は、およそ $y_d = 80nm$ となり、ソース領域8と浮遊ゲート4との重なり y_s は、およそ $y_s = 10nm$ となる。実際には、ドレイン領域9が、側壁絶縁膜7の形成工程の熱履歴を受ける分、拡散長は大きくなるが、これは無視している。

【0028】従ってこの実施の形態によると、実効チャネル長 $L_{eff} = 150nm$ のメモリセルを作る場合、必要なゲート長 L はおよそ、 $L = 150 + 80 + 10 = 240nm$ となる。ソース、ドレイン双方に80nmの浮遊ゲートとの重なりをとった場合には、必要なゲート長が310nmとなるから、この実施の形態によりメモリセルサイズを効果的に小さくすることができる。

【0029】この実施の形態によるメモリセルの書き込みモードでは、ソース領域8を低電位(例えば接地電位)とし、制御ゲート6とドレイン領域9に正の高電位を印加して大きなチャネル電流を流す。これにより、ドレイン領域9の近傍のピンチオフ領域で生成されたホットエレクトロンが浮遊ゲート4に注入され、しきい値の高い状態になる。消去モードでは、制御ゲート6を低電位(例えば、接地)とし、p型ウェル2に正の高電位を印加する。これにより、浮遊ゲート4の電子はチャネル領域10の全面に放出される。

【0030】この実施の形態では、ドレイン領域9と浮遊ゲート4の重なりをソース領域8と浮遊ゲート4の重なりより大きく確保しており、その結果書き込み動作では高い電子注入効率を得られ、またドレインエッジでの電子トラップ等によるオフセットを防止することができる。また書き込み動作では、大きなチャネル電流が流れるが、ソース領域8はドレイン領域9に比べて高ドーズ量で深く拡散形成されて、低抵抗となっている。従って、ソース抵抗による基板バイアス効果は小さく抑えられており、これも注入効率向上に寄与している。

【0031】またこの実施の形態の場合、ソース領域8と浮遊ゲート4の重なりは、オフセットの生じない範囲で最小限に抑えられているが、消去動作は浮遊ゲート4からソース領域8への電子放出ではなく、チャネル領域全面への電子放出を利用しているから、消去効率も十分高いものとなる。更に、ドレイン領域9を浮遊ゲート4とオーバーラップさせているとはいえ、その重なりは、制御ゲート6に自己整合されたイオン注入と、その後の熱工程により制御されて、無用に大きな重なりとはなら

ない。ソース領域 8 も制御ゲート 6 と側壁絶縁膜 7 に自己整合されて形成されている。従って、短チャネル効果を抑制するに十分な実効チャネル長 L_{eff} を確保しながら、ゲート長 L を小さいものとすることができ、メモリセルサイズの微細化が可能である。

【0032】図 3 は、この発明の別の実施の形態による不揮発性半導体メモリセル構造を示す。図 1 と対応する部分には、図 1 と同一符号を付してある。この実施の形態では、ゲート構造が先の実施の形態と異なり、浮遊ゲート 4 及び層間絶縁膜 5 は形成されておらず、制御ゲート 6 下の絶縁膜 20 が、シリコン酸化膜（トンネル酸化膜）21、シリコン窒化膜 22 及びシリコン酸化膜 23 の 3 層構造となっている。これらの積層構造絶縁膜 20 のシリコン酸化膜 21 とシリコン窒化膜 22 の間にある界面準位が電子をトラップする電荷蓄積部として機能する。

【0033】この実施の形態の場合も、次の (1) ~ (3) は、先の実施の形態と同じである。

(1) ソース領域 8 は、制御ゲート 6 と側壁絶縁膜 7 に自己整合されたイオン注入により形成され、ドレイン領域 9 は、制御ゲート 6 に自己整合されたイオン注入により形成される。

(2) ソース領域 8 と電荷蓄積部との重なり（具体的には、制御ゲート 6 との重なり） y_s は小さく、ドレイン領域 9 と制御ゲート 6 との重なり y_d はこれより大きい。

(3) ソース領域 8 のドーザ量は、ドレイン領域 9 のそれより大きく、従ってソース領域 8 の拡散深さ x_{js} は、ドレイン領域 9 の拡散深さ x_{jd} より大きい。このメモリセル構造を作る工程も、ゲート部の形成工程を除いて、先の実施の形態と同様である。

【0034】この実施の形態によるメモリセルでは、書き込み動作は先の実施の形態と同じである。一方、消去動作については、例えばドレイン領域 9 と制御ゲート 6 との間に電界を印加し、絶縁膜 20 内の界面準位にトラップされた電子をドレイン領域 9 に引き抜く。或いは電界のみでは簡単に放出できないことを考慮し、ホールを注入することにより、電子蓄積状態を中和する。具体的には、ソース領域 8 を接地し、制御ゲート 6 に負電位、ドレイン領域 9 に正の高電位をそれぞれ与えて、ドレイン接合でバンド間トンネリングを起こさせ、生成したホールを絶縁膜 20 に注入する。これにより、電界により電子を放出させる場合に比べて、消去効率是一段と高いものとなる。この実施の形態によっても先の実施の形態と同様の効果が得られる。

【0035】図 4 は、図 1 のメモリセルを変形した実施の形態である。要求される書き換え回数や動作方法によっては、ドレイン領域側の浮遊ゲートとの重なりをそれほど必要としない場合もある。その場合には、図 4 に示すように、ソース領域 8、ドレイン領域 9 共に、側壁絶

縁膜 7 に自己整合されたイオン注入により形成する。ソース、ドレイン領域 8、9 を同時にイオン注入して形成すれば、 $y_s = y_d$ となる。またこのとき、ソース、ドレイン領域 8、9 の拡散深さも、 $x_{js} = x_{jd}$ となる。

【0036】この実施の形態のメモリセルでの書き込み及び消去動作も、先の実施の形態と同様とする。この実施の形態によると、実効チャネル長とゲート長との差がより小さくなり、実効チャネル長を確保しながらメモリセルサイズを微細化する上で非常に好ましい。

【0037】なお、ソース領域のみを一般的な LDD 構造とすることによっても、ソース領域の浮遊ゲートとの重なりを、ドレイン領域と浮遊ゲートとの重なりと比べて小さく保つことは可能である。図 5 はソース側を LDD 構造とした、この発明と比較するためのメモリセル構造を示している。図 5 に示されるメモリセル構造では、ソース領域 8 は、低濃度で浅い n^- 型拡散層 8a と高濃度で深い n^+ 型拡散層 8b とから構成されている。 n^- 型拡散層 8a は、制御ゲート 6 に自己整合されたイオン注入により形成され、 n^+ 型拡散層 8b は、制御ゲート 6 及び側壁絶縁膜 7 に自己整合されたイオン注入により形成される。ドレイン領域 9 は、図 1 の実施の形態と同様に制御ゲート 6 に自己整合されたイオン注入により形成される。

【0038】しかしながらこのメモリセル構造の場合、LDD 特性を得る上で、ソース領域 8 と浮遊ゲート 4 の重なりを n^- 型拡散層 8a に担わせる必要があり、ソース抵抗の上昇が避けられないという問題がある。

【0039】更にこの発明の別の実施の形態として、ドレイン領域を薄い側壁絶縁膜に自己整合されたイオン注入で形成し、ソース領域についてはそれより厚い側壁絶縁膜に自己整合されたイオン注入により形成する方法もある。即ち、イオン注入後の熱工程によりドレイン領域と浮遊ゲートの重なりが必要以上に大きくなる場合には、ドレイン領域についても側壁絶縁膜の外側にイオン注入することにより、ドレイン領域と浮遊ゲートの重なりを必要最小限の大きさとする。一方、同じ側壁絶縁膜を用いてソース領域側のイオン注入を行うと、ソース領域と浮遊ゲートの重なりは必要以上に大きくなる。そこで、ソース領域側については、更に別の側壁絶縁膜を形成して、その側壁の外側へのイオン注入により形成する。

【0040】図 6A ~ 図 6D は、その様な実施の形態による製造工程を示している。図 2B の工程の後、図 6A に示すように、制御ゲート 6 及び浮遊ゲート 4 の側面に第 1 の側壁絶縁膜 7a を形成する。そして、図 6B に示すように、ソース領域側を覆うレジストパターン 11 を形成し、砒素のイオン注入を行ってドレイン領域 9 を形成する。

【0041】続いて、図 6C に示すように、第 1 の側壁

絶縁膜 7 a の外側に更に第 2 の側壁絶縁膜 7 b を形成する。そして、ドレイン領域側を覆うレジストパターン 12 を形成して、砒素のイオン注入を行って、ソース領域 8 を形成する。最後に、ソース及びドレイン領域 8, 9 の不純物再拡散と活性化の熱処理を行う。これにより、図 6 D に示すように、ソース領域 8 は浮遊ゲート 4 と僅かに重なり、ドレイン領域 9 は浮遊ゲート 4 と大きく重なった状態が得られる。

【0042】なおこの実施の形態においても好ましくは、ソース領域 8 の不純物ドーザ量をドレイン領域 9 のそれより大きく設定する。これにより、ソース領域 8 の接合深さはドレイン領域 9 のそれより深くなる。この実施の形態によっても、先の実施の形態と同様の効果が得られる。

【0043】

【発明の効果】以上述べたようにこの発明によれば、必要な実効チャネル長を確保しながら、ゲート長を可能な限り小さくすることを可能としたメモリセル構造を持つホットエレクトロン注入型の不揮発性半導体メモリを得ることができる。

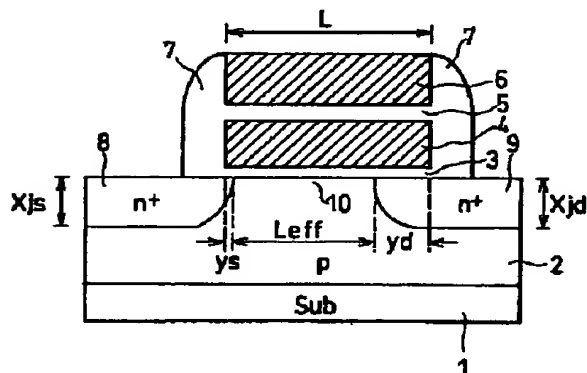
【図面の簡単な説明】

【図 1】 この発明の実施の形態によるメモリセル構造を示す図である。

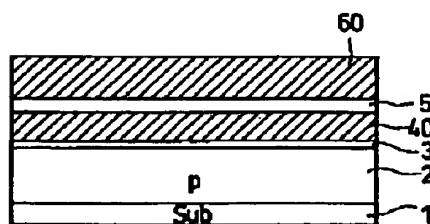
【図 2 A】 同メモリセルのゲート電極部の積層工程を示す図である。

【図 2 B】 同メモリセルのゲート電極部のパターンニング工程を示す図である。

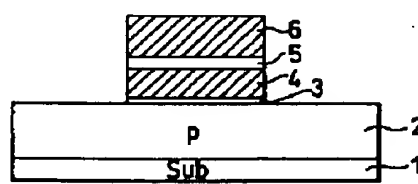
【図 1】



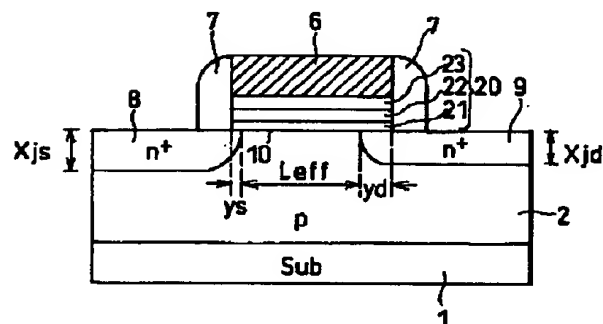
【図 2 A】



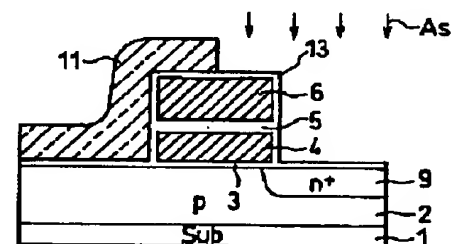
【図 2 B】



【図 3】



【図 2 C】



【図 2 C】 同メモリセルのドレイン領域のイオン注入工程を示す図である。

【図 2 D】 同メモリセルの側壁絶縁膜の形成工程を示す図である。

【図 2 E】 同メモリセルのソース領域のイオン注入工程を示す図である。

【図 2 F】 同メモリセルの不純物再拡散工程を示す図である。

【図 3】 この発明の他の実施の形態によるメモリセル構造を示す図である。

【図 4】 この発明の他の実施の形態によるメモリセル構造を示す図である。

【図 5】 この発明と比較するためのメモリセル構造を示す図である。

【図 6 A】 この発明の他の実施の形態による第 1 の側壁絶縁膜形成工程を示す図である。

【図 6 B】 同実施の形態によるドレイン領域のイオン注入工程を示す図である。

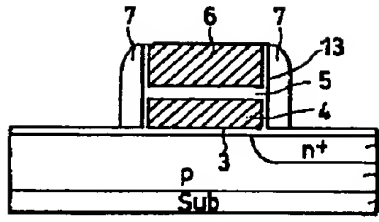
【図 6 C】 同実施の形態による第 2 の側壁絶縁膜形成とソース領域のイオン注入工程を示す図である。

【図 6 D】 同実施の形態による不純物再拡散工程を示す図である。

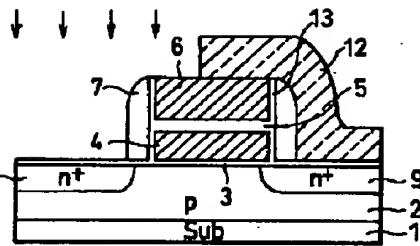
【符号の説明】

1…シリコン基板、2…p型ウェル、3…トンネル酸化膜、4…浮遊ゲート、5…層間絶縁膜、6…制御ゲート、7…側壁絶縁膜、8…ソース領域、9…ドレイン領域、10…チャネル領域。

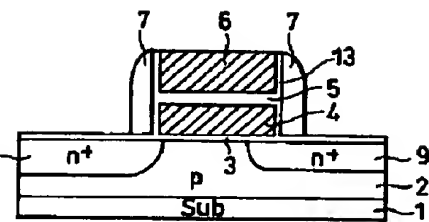
【図2D】



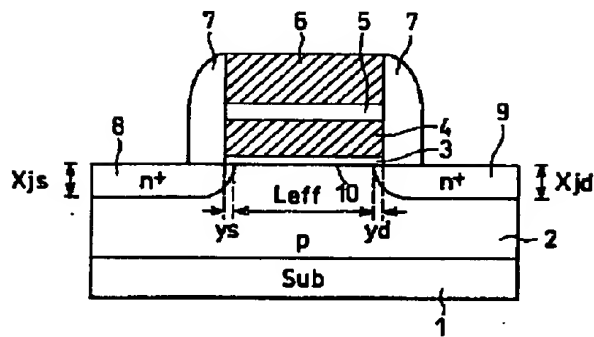
【図2E】



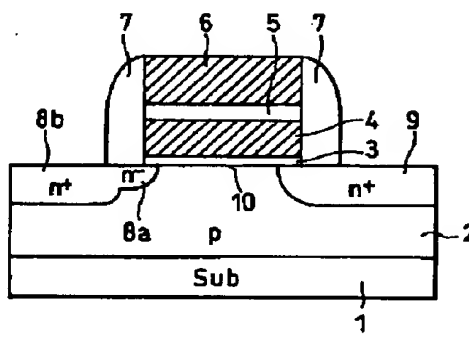
【図2F】



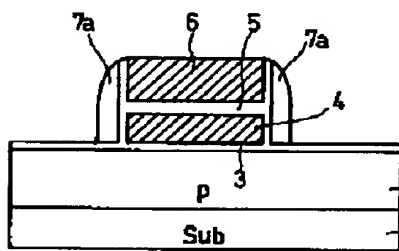
【図4】



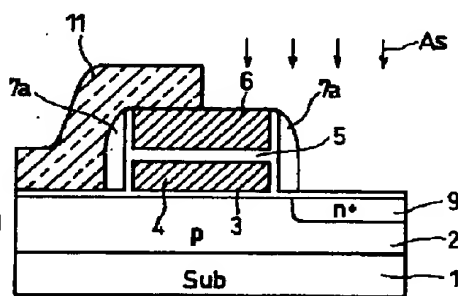
【図5】



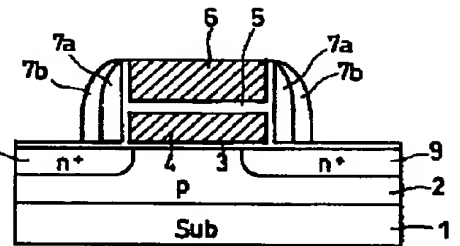
【図6A】



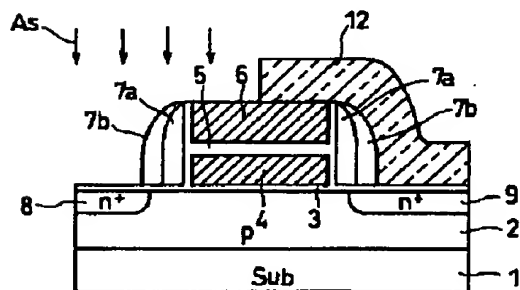
【図6B】



【図6D】



【図6C】



フロントページの続き

(51) Int. Cl. ⁷

識別記号

F I

テーマコード (参考)

H 0 1 L 27/115

F ターム (参考) 5B025 AA01 AB02 AC01
5F001 AA14 AA21 AB08 AC02 AC06
AD15 AD16 AD18 AD51 AD52
AE02 AE08
5F083 EP14 EP18 EP23 EP62 EP67
EP77 ER02 ER05 ER09 ER14
ER16 ER22 GA09 GA30